

10/539247

Requested Patent: JP3044580A

JC17 Rec'd PCT/PTO 16 JUN 2005

Title: BIAS TEST BOARD FOR SEMICONDUCTOR DEVICE ;

Abstracted Patent: JP3044580 ;

Publication Date: 1991-02-26 ;

Inventor(s): TOMOTA YOSHIYUKI ;

Applicant(s): NEC CORP ;

Application Number: JP19890179484 19890712 ;

Priority Number(s): ;

IPC Classification: G01R31/26 ; G01R31/28 ;

Equivalents:

ABSTRACT:

PURPOSE: To enable execution of a bias test being more accurate and having high flexibility by changing a bias level for each terminal by changing a connection pattern board prepared separately.

CONSTITUTION: A plurality of sockets 11 for semiconductor devices, sockets 12 for connection patterns and guide pins 18 are formed on a multilayer base 14. A connecting point of each terminal (1) of each of the sockets 11 for semiconductor devices is connected, for instance, to a terminal in a first line of the sockets 12, a connecting point of each terminal (2) to a terminal in a second line of the sockets 12, and a connecting point of each terminal (3) to a terminal in a fourth line of the sockets 12, respectively. Since a bias level of each terminal can be changed by changing a connection pattern board 15 prepared separately, a bias test being more accurate and having high flexibility can be executed in a programmable manner.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-44580

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)2月26日

G 01 R 31/26
31/28

J

8203-2G

6912-2G G 01 R 31/28

K

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置用バイアステスト基板

⑯ 特 願 平1-179484

⑰ 出 願 平1(1989)7月12日

⑱ 発 明 者 友 田 嘉 幸 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 熊谷 雄太郎

明 細 書

1. 発明の名称

半導体装置用バイアステスト基板

2. 特許請求の範囲

複数の半導体装置用ソケットの同一位置の第1の端子が並列に接続され、これらの各第1の端子が、多層基板上に設けられGND、VDDライン及び保護抵抗を含む第2の端子がアレイ状に配列された接続パターン用ソケットのある任意の1列に接続される構成と、前記接続パターン用ソケットに挿入され、バイアスレベルを各第1の端子ごとに決める接続パターン基板とを含むことを特徴とする半導体装置用バイアステスト基板。

3. 発明の詳細な説明

産業上の利用分野

本発明は、半導体装置用バイアステスト基板に関し、特に、半導体装置の端子に印加するバイアスレベルを別途準備する基板を変えることにより半導体装置ごとにそれぞれ設定できるという特徴を有している半導体装置用バイアステスト基板に

関する。

従来の技術

従来、この種の半導体装置用バイアステスト基板は第5図に示すように、半導体装置の端子に印加するバイアス電位が固定となっていた。

第5図において、1～10はソケットの端子番号、21は半導体装置用ソケット、22は保護抵抗、23は電源部ラッチアップ保護用抵抗をそれぞれ示している。

発明が解決しようとする課題

しかしながら、上述した従来の半導体装置バイアステスト基板は、半導体装置に印加されるバイアス電位が固定となっている為に、半導体装置の端子の並びが異なると、正しいバイアスが印加できなくなるか或いは全く使用できないという欠点がある。

本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在する上記欠点を解消することを可能とした新規な半導体装置用バイアステスト基板を提供するこ

とにある。

発明の従来技術に対する相違点

上述した従来の半導体装置バイアステスト基板に対して、本発明は、半導体装置のバイアスレベルを別に準備する基板により変更できるという相違点を有している。

課題を解決するための手段

前記目的を達成する為に、本発明に係る半導体装置用バイアステスト基板は、複数個の半導体装置用ソケットの同一位置の第1の端子が並列に接続され、その各々の第1の端子が、多層基板上に設けられ第2の端子がアレイ状に配列された接続パターン用ソケットのある任意の1列に接続され、この接続パターン用ソケットの残りの端子が各々GND、VDD及び保護抵抗に接続される構成と、前記接続パターン用ソケットに挿入されてバイアスレベルを前記第1の端子ごとに決める接続パターン基板を含み構成される。

実施例

次に本発明をその好ましい一実施例について図

に、多層基板14上には複数個の半導体装置用ソケット11、接続パターン用ソケット12及びガイドピン18が形成されている。半導体装置用ソケット11の同一位置の端子1～6は図示の如くそれぞれ並列に接続されている。接続パターン用ソケット12にはGND、VDDライン及び保護抵抗13を含む端子がアレイ状に配列されている。

各半導体装置用ソケット11の共通接続された同一位置の各端子の接続点は接続パターン用ソケット12の任意の列に接続されている。本発明の図示された実施例においては、各半導体装置用ソケット11の各端子1の接続点は接続パターン用ソケット12の1列目の端子に接続され、各端子2の接続点はソケット12の2列目の端子に、各端子3の接続点はソケット12のGNDラインに、各端子4の接続点はソケット12の4列目の端子に、各端子5の接続点はソケット12の5列目の端子に、各端子6の接続点はソケット12のVDDラインに、それぞれ接続されている。

接続パターン用ソケット12には接続パターン17

面を参照して具体的に説明する。

第1図(a),(b)は本発明の一実施例を示す斜視図であり、第2図(a),(b)は第1図(a),(b)に対応する本発明結線を示す概略図である。

第1図(a),(b)を参照するに、参照番号11は半導体装置用ソケット、12は接続パターン用ソケット、13は保護抵抗、14は多層基板、15は接続パターン基板、16は端子、17は接続パターン、18はガイドピンをそれぞれ示す。

第2図に示すように、VDD端子及びGND端子は固定とされている。その他の端子は、半導体装置用ソケット11に挿入されるLSIの端子に接続されている内部の回路により出力、入力ハイクランプ、入力ロウクランプ、GNDの4種類に合うように別途準備する基板のパターンを変更させる。第2図においては、半導体装置用ソケット11の端子1及び2がハイクランプ、端子3はGND、端子4はロウクランプ、端子5が出力、端子6はVDDとなっている。

第1図(a),(b)、第2図(a),(b)を参照する

が形成された接続パターン基板15が挿入され、これらの接続パターン17によって半導体ソケット11の各端子1～6のハイレベルが設定される。

第3図、第4図は本発明に使用される接続パターン基板の他の実施例(変形例)を示す概略構成図である。

第3図に示した第1の変形例では、プルアップ(pull-up)及びプルダウン(pull-down)の抵抗を接続パターン基板上に実装することにより変えられるという利点がある。

第4図に示した第2の変形例では、接続パターンを第4図のようにして、外部信号印加装置により5MHz、10MHzのような希望の周波数の信号を印加することによって、ダイナミックバイアステストを実現できる。

発明の効果

以上説明したように、本発明によれば、別途準備する接続パターン基板を変えることにより各々の端子のバイアスレベルを変えることができる為、より正確でフレキシビリティの高いバイアス

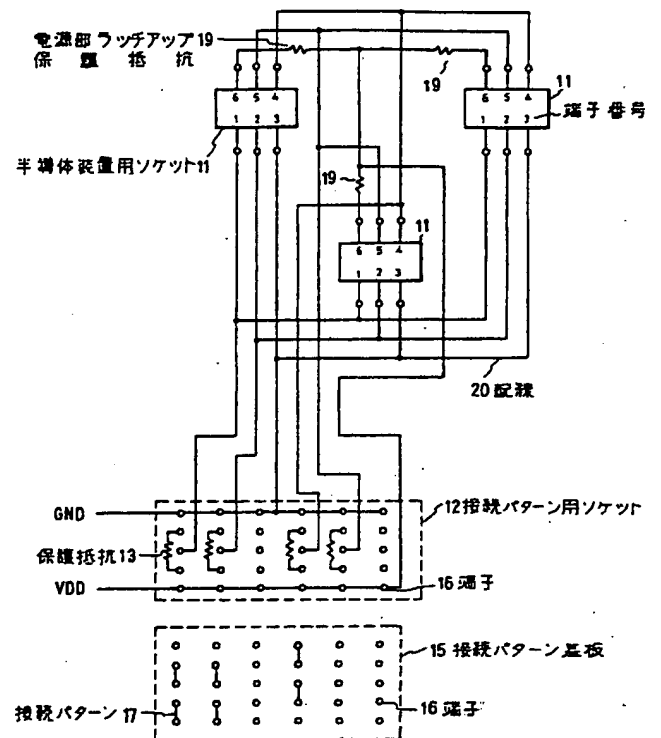
テストがプログラマブルに行え、更にダイナミックバイアステストも実現できるという利点が得られる。

4. 図面の簡単な説明

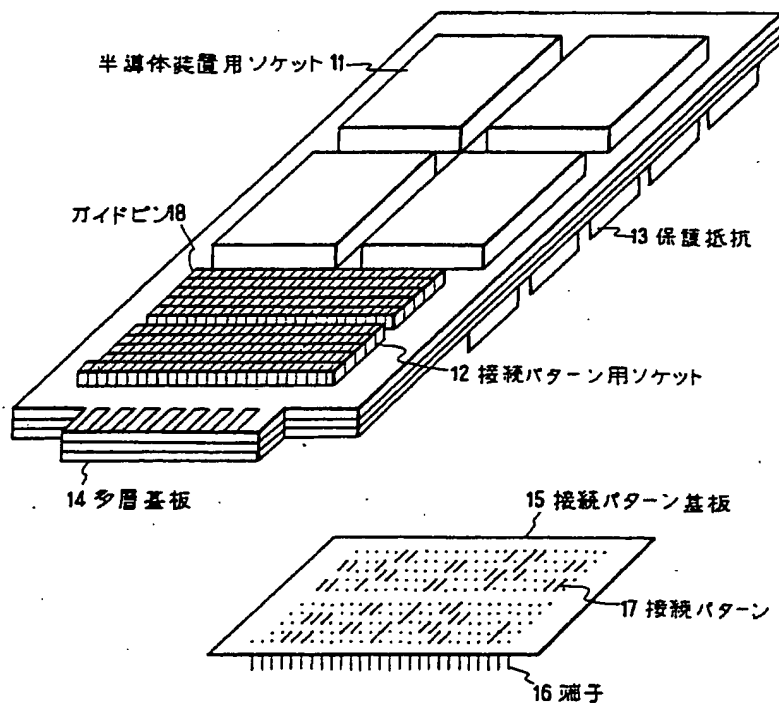
第1図(a),(b)は本発明の一実施例を示す斜視図、第2図(a),(b)は第1図(a),(b)に対応する本発明の結線の一例を示す概略図、第3図及び第4図は接続パターン基板の他の変形例を示す概略図、第5図は従来におけるこの種の半導体装置用バイアステスト基板の回路例を示す図である。

1～10…端子番号、11,21…半導体装置用ソケット、12…接続パターン用ソケット、13,19,22,23…保護抵抗、14…多層基板、15…接続パターン基板、16…端子、17…接続パターン、18…ガイドピン、20…配線

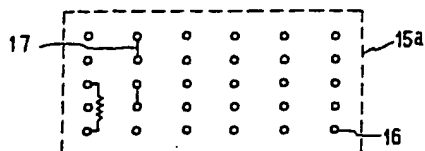
特許出願人 日本電気株式会社
代理人 弁理士 熊谷雄太郎



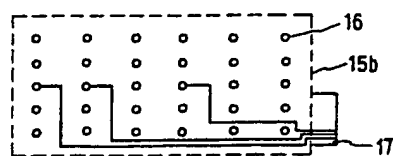
第2図



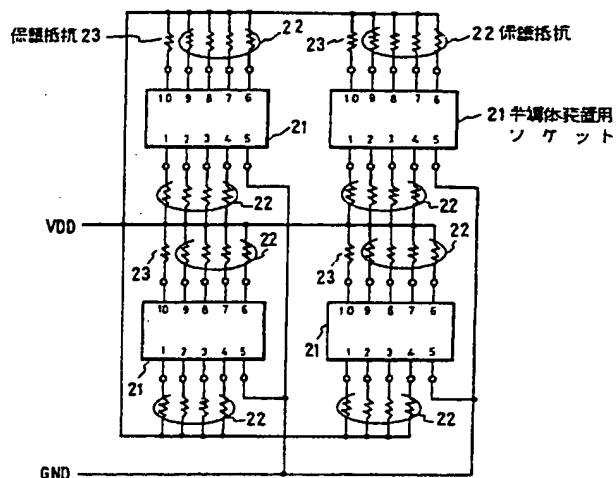
第1図



第 3 図



第 4 図



第 5 図

手続補正書

平成01年08月07日

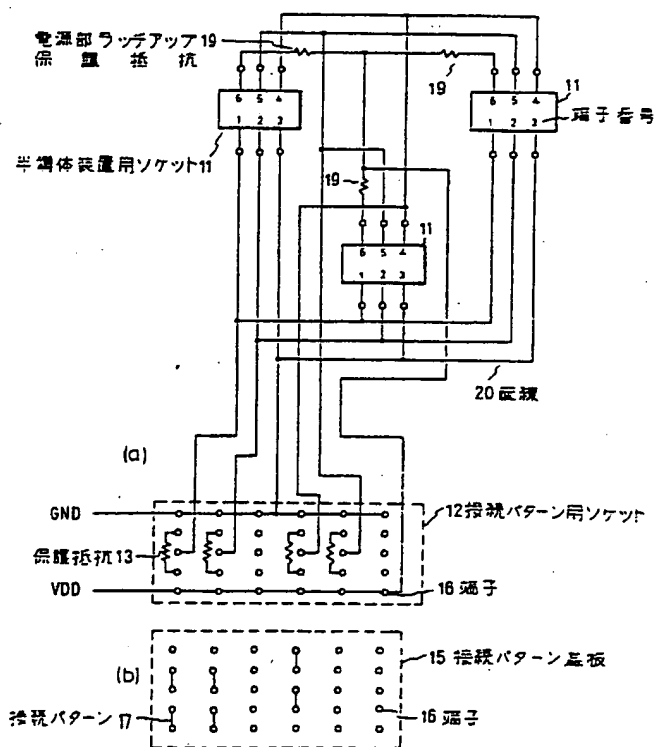
- 特許庁長官 吉田 文毅 殿
1. 事件の表示
平成01年特許願第179484号
2. 発明の名称
半導体装置用バイアステスト基板
3. 補正をする者
事件との関係 特許出願人
住 所 東京都港区芝五丁目33番1号
名 称 (423) 日本電気株式会社
代 表 者 関本 忠弘
4. 代理人
住 所 〒214 神奈川県川崎市多摩区宿河原
1丁目6番6-407号
電話 044(932)11541 00
氏 名 (7632) 井理士 熊谷 雄太郎

5. 補正の対象

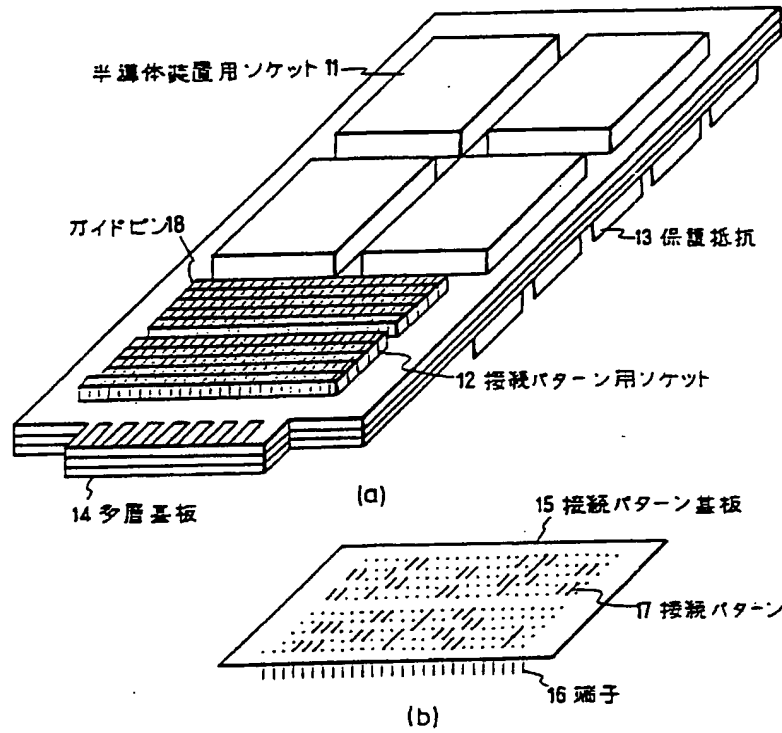
図 面

6. 補正の内容

第1図、第2図を別紙の通り補正する。



第 2 図



第 1 図